

F-02ED0369

(10)日本国特許庁 (J P) (12) 公開特許公報 (A) (11)特許出願公開番号
特開平11-354631
(43)公開日 平成11年(1999)12月24日

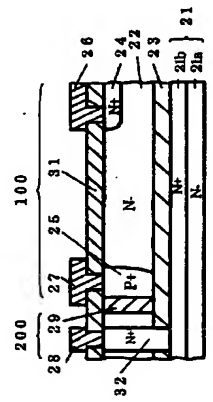
(5)InCl [*]	識別記号	PI
H01L 21/62	21/76	D
21/12	27/12	
29/78	29/78	6 2 1
29/861	29/91	D

審査請求 未請求 請求項の数11 OL (全 10 頁)

(21)出願番号	特開平10-163174	(71)出願人	000158950 関西日本電気株式会社 滋賀県大津市西園2丁目9番1号
(22)出願日	平成10年(1998) 6月11日	(72)発明者	大岡 幸 滋賀県大津市西園2丁目9番1号 本電気株式会社内

(54)【発明の名称】 半導体装置

(57)【要約】
【課題】 SOI基板上の半導体支持基板の表面電位を表面で固定することにより表面電極による固定での欠点を解消する。
【解決手段】 半導体支持基板21上にシリコン酸化膜23を介して半導体層22を設けてSOI基板を構成する。半導体層22の素子形成領域100から絶縁層29により絶縁分離された基板電位取出し領域200にシリコン酸化膜23を貫通し半導体支持基板21に達する導電層32を設け、この導電層32上に電気的接続した基板電位固定電極28を、素子形成領域100に設けたダミーオードのアンロード電極27と同電位に接続している。



【特許請求の範囲】
【請求項1】 導電性支持基板上に絶縁膜を介して設けた半導体層の絶縁分離下に設けられた素子形成領域に素子を形成した半導体装置において、
前記導電性支持基板の表面電位を固定する基板電位固定電極を前記素子形成領域から絶縁分離された前記半導体層の基板電位取出し領域上に設けたことを特徴とする半導体装置。
【請求項2】 前記導電性支持基板が半導体基板であることと特徴とする請求項1記載の半導体装置。
【請求項3】 前記基板電位固定電極が、前記基板電位取出し領域表面から前記絶縁膜を貫通して形成した導電層により前記導電性支持基板と電気的接続されたことを特徴とする請求項1記載の半導体装置。
【請求項4】 前記基板電位固定電極が前記素子形成領域上に形成された一電極と電気的接続されたことを特徴とする請求項1記載の半導体装置。
【請求項5】 前記素子が高耐圧ダイオードで、前記一電極がアンロード電極又はカソード電極であることを特徴とする請求項4記載の半導体装置。
【請求項6】 前記素子が高耐圧MOSFETで、前記一電極がソース電極であることを特徴とする請求項4記載の半導体装置。
【請求項7】 導電性支持基板上に第1絶縁膜を介して設けた半導体層の絶縁分離下にそれぞれ取囲まれた第1素子形成領域に第1素子を形成し、第2素子形成領域に第2素子を形成した半導体装置において、
前記導電性支持基板表面の第1素子形成領域直下の位置と第2素子形成領域直下の位置とを互いに絶縁分離し、前記第1素子形成領域直下の位置の電位を固定する第1基板電位固定電極と、前記第2素子形成領域直下の位置の電位を固定する第2基板電位固定電極とを前記半導体層表面に設けたことを特徴とする半導体装置。
【請求項8】 前記導電性支持基板が半導体基板と半導体基板上に第2絶縁膜を介して設けた基板電極とからなり、前記導電性支持基板表面の第1素子形成領域直下の位置と第2素子形成領域直下の位置とを、前記半導体層表面から前記基板電極を貫通して形成された絶縁分離層により互いに絶縁分離したことを特徴とする請求項7記載の半導体装置。
【請求項9】 前記第1基板電位固定電極が、前記第1素子形成領域から絶縁分離され前記半導体層表面から前記導電性支持基板表面の第1素子形成領域直下の位置と電気的接続され、前記第2基板電位固定電極が、前記第2素子形成領域から絶縁分離され前記半導体層表面から前記第1絶縁膜を貫通して形成された第2導電層により前記導電性支持基板表面の第2素子形成領域直下の位置と電気的接続されたことを特徴とする請求項7記載の半導体装置。

【特許請求の範囲】
【請求項10】 前記第1基板電位固定電極が前記第1素子形成領域上に形成された第1の一電極と電気的接続され、前記第2基板電位固定電極が前記第2素子形成領域上に形成された第2の一電極と電気的接続されたことを特徴とする請求項7記載の半導体装置。
【請求項11】 前記第1素子が導電型高耐圧MOSFETで前記第2素子が導電型高耐圧MOSFETで、前記第2素子が他導電型高耐圧MOSFETのソース電極であり、前記第2素子が他導電型高耐圧MOSFETのソース電極であることを特徴とする請求項10記載の半導体装置。
【発明の詳細な説明】
【0001】
【発明の属する技術分野】 本発明は、導電性支持基板上に絶縁膜を介して半導体層を有するSOI基板を用いた半導体装置に関し、特にパワーICに適用するのに好適な半導体装置に関する。
【0002】
【従来の技術】 従来のパワーICは特開平9-97886号公報に記載されており、高耐圧ダイオードを有するパワーICについて、この公報の図14及び図15を参照し、図9に引用して説明する。図8において、半導体支持基板1の上に絶縁膜3を介してN-型半導体層2が設けられてSOI基板を構成している。このSOI基板は半導体支持基板1に用いられるシリコン基板とパワー素子や他の素子が形成される半導体層2に用いられるシリコン基板のいずれか一方あるいは両方を熱酸化した後、熱処理により2枚のシリコン基板を貼り合わせ、更に素子が形成される側のシリコン基板を所定の厚さに研削して製造される。半導体層2には、表面層に高濃度N型であるN+型半導体領域4が設けられ、このN+型半導体領域4を所定距離間隔で取囲むように絶縁膜3半導体領域5が設けられる。N+型半導体領域4にはカソード電極6が設けられる。N+型半導体領域5にはアノード電極7が設けられ、半導体支持基板1の表面には基板電位固定電極とし、半導体層2が設けられている。半導体層2中には半導体層2を複数の部分に絶縁分離する絶縁分離層9が設けられ、例えば、P+型半導体領域5に隣接して取囲むように設けられている。半導体層2の表面にはカソード電極6及びアノード電極7が設けられる位置を除いて絶縁膜11が設けられている。
【0003】 図9において、動作は、アノード電極7と表面電極8を0Vとして、カソード電極6に正電圧を印加していくと、半導体層2とP+型半導体領域5間のPN接合から空乏層Aが伸びる。このとき、半導体支持基板1は、全体が0Vになっており、絶縁膜3を介してフイールドプレートとして働くので空乏層Aに加えて半導体層2と絶縁膜3間の界面から半導体層2の表面に向かう方向に空乏層Bが伸びるため、この影響により空乏層

Aが伸びやすくなり、半導体層2とP+型半導体領域5間のPN接合の電界は緩和される。このようにSOI基板上の半導体支持基板の電位を固定することにより、素子が形成される半導体層内の表面電界緩和効果を利用して、薄いSOI基板で高耐圧素子の搭載が可能であり、誘導電位による駆動動作を回避できる。また、分離溝が浅くなるので誘導電位分離のための分離溝の作成コストを低減できる。

[0004]

【発明が解決しようとする課題】ところで、上述の構造において、半導体支持基板の電位を固定するために半導体支持基板の下面に接続する裏面電極8を設けており、つぎのような問題点がある。

(1) システム・オン・チップ(SOC)等の1チップ化による半導体高密度実装技術の進展により、面実装型のICパッケージとしてBGA(Ball Grid Array)、CSP(Chip Size Package)が採用されてきており、この場合、チップは表面に形成したパッドによりワイヤスタウンで接続され、チップの裏面は通常電気的に接続されないため、裏面電極での接続が困難である。

(2) チップをワイヤボンディング及びダイボンディングにより接続する方式の場合において、ダイボンディングコストを安くするために絶縁ペーストを使用すると、裏面電極での接続ができなくなる。

(3) 半導体層にそれぞれ絶縁分離されて形成されたN型素子とP型素子とを有する半導体装置を裏面電極を接地して使用した場合、半導体支持基板は全体が接地されることになり、一方の素子に対しては表面電界緩和効果を利用できず、他方の素子に対しては表面電界緩和効果を利用できない。

【0005】本発明は上記問題点に鑑みながらなされたものであり、絶縁層を貫通して半導体層表面で導電性支持基板の表面電位を固定することにより、上記問題点を解決した上で、半導体層内の表面電界緩和効果を利用して、薄いSOI基板で高耐圧素子の搭載が可能であり、誘導電位による駆動動作を回避できる等の効果を有する半導体装置を提供することを目的とする。

[0006]

【課題を解決するための手段】本発明に係る半導体装置は、導電性支持基板上に絶縁層を介して設けた半導体層の絶縁分離層に取囲まれた素子形成領域に素子を形成した半導体装置において、導電性支持基板の表面電位を固定する基板電位固定電極を素子形成領域から絶縁分離された半導体層の基板電位取出し領域上に設けたことを特徴とする。上記半導体装置において、導電性支持基板は半導体基板である。また、基板電位固定電極は、基板電位取出し領域表面から絶縁層を貫通して形成した導電層により導電性支持基板と電気的に接続されている。この基板電位固定電極は素子形成領域100に形成された一電極と電気的に接続される。素子が高耐圧ダイオードの場合、一電極はP+型半導体領域2とP+型半導体領域5

領域24を所定距離離間して環状に取囲むようにシリコン酸化膜23までの深さまでP+型半導体領域25を設けている。尚、P+型半導体領域25はN+型半導体領域24を取囲んでいない。N+型半導体領域25にはアノード電極27をオーミック接続して設けており、半導体層22にはシリコン酸化膜23に達し半導体層22を覆った部分に絶縁分離する絶縁分離層29を設けており、素子形成領域100はこの絶縁分離層29に隣接して取囲まれている。この素子形成領域100から絶縁分離された半導体層22を貫通して素子形成領域220にはシリコン酸化膜23を貫通して導電性支持基板21に達するN+型ポリシリコンからなる導電層32を設けており、尚、半導体支持基板21の表面層がP+型のときはP+型ポリシリコンからなる導電層を設ける。導電層32上には基板電位固定電極28を接続している。図示しないが、基板電位固定電極28はアノード電極27を一電極として同一電位で接続している。半導体層22の表面にはアノード電極26、アノード電極27及び基板電位固定電極28が接続される位置を除いて絶縁膜31を設けている。

【0008】上記構成の半導体装置の高耐圧ダイオードの動作は、アノード電極27と基板電位固定電極28を0Vとして、カソード電極26に正電圧を印加していくと、半導体層22とP+型半導体領域25間のPN接合から図9に示す空乏層Aと同様の空乏層が伸びる。このとき、半導体支持基板21は、基板電位固定電極28から導電層32を介して全体が0Vになっており、シリコン酸化膜23を介してフィールドプレートとして働く。上記の空乏層に加えて半導体層22の表面に向かう方向に図9に示す空乏層Bと同様の空乏層が伸びるため、この影響により先の空乏層が伸びやすくなり、半導体層22とP+型半導体領域25間のPN接合の電界は緩和される。

【0009】このようにSOI基板上の半導体支持基板21の電位を表面に設けた基板電位固定電極28によりアノード電極27の電位に固定することによりSOI基板上の表面に電極を設けずに、ダイオード素子が形成される素子形成領域100内での表面電界緩和効果を利用して高耐圧ダイオード素子の搭載が可能で、上述した課題(1)及び(2)を解決することができる。即ち、(1) 面実装型のICパッケージとしてのBGA(Ball Grid Array)、CSP(Chip Size Package)に本実施例の高耐圧ダイオード素子を有する半導体装置のチップを採用することができる。

(2) チップをワイヤボンディング及びダイボンディングにより接続する方式の場合において、本実施例の高耐圧ダイオードを有する半導体装置のチップをダイボンディングコストを安くするための絶縁ペーストを使用する

ことができる。

【0010】上述の第1実施例において、一導電型をN型、他導電型をP型として説明したが、一導電型をP型、他導電型をN型としてもよい。このときN+型半導体領域24がP+型半導体領域25となりこの上にアノード電極が接続され、P+型半導体領域25がN+型半導体領域となりこの上にカソード電極が接続される。また、基板電位固定電極はカソード電極を一電極として向電位で接続する。このときの高耐圧ダイオードの動作は、アノード電極を0Vとして、カソード電極と基板電位固定電極に正電圧を印加していくと、半導体層22とP+型半導体領域22の基板電位取出し領域24と同様の空乏層が伸びる。このとき、半導体支持基板は、基板電位固定電極から導電層を介して全体が正電圧になっており、絶縁層を介してフィールドプレートとして働く。上記の空乏層に加えて半導体層とシリコン酸化膜間の表面から半導体層の表面に向かう方向に図9に示す空乏層Bと同様の空乏層が伸びるため、この影響により先の空乏層が伸びやすくなり、半導体層22とN+型半導体領域25間のPN接合の電界は緩和される。

【0011】次に、本発明に基づき第2の実施例の一導電型であるN+型高耐圧MOSFETを有する半導体装置を図2を参照して説明する。図2において、導電性支持基板としての一導電型であるN型SOI半導体支持基板41はシリコン基板41aの表面層に高濃度一導電型であるN+型半導体層41bを含んだもので、その上に絶縁膜であるシリコン酸化膜43を介して低濃度一導電型であるN-型半導体層42を設けてSOI基板を構成している。尚、半導体支持基板41は絶縁膜型であるP型であって、このとき表面は表面層に高濃度一導電型であるP+層を含むことが望ましい。また、半導体支持基板41は、全体がN+型又はP+型であって、半導体層42の高耐圧MOSFET素子が形成され、半導体層42の高耐圧MOSFET素子の素子形成領域300には、表面層にN+型半導体領域44を設け、このN+型半導体領域44を所定距離離間して環状に取囲むようにシリコン酸化膜43までの深さまでP型半導体領域45を設けている。尚、P型半導体領域45はN+型半導体領域44を取囲んでいない。P型半導体領域45の表面層には半導体層42とP型半導体領域45間のPN接合からチャネル長として所定距離離間した位置にN+型半導体領域53を設け、N+型半導体領域53と隣接してP+型半導体領域54を設けている。N+型半導体領域53とP+型半導体領域54はソース電極47をオーミック接続して設けている。半導体層42にはシリコン酸化膜43に達し半導体層42を覆った部分に絶縁分離する絶縁分離層49を設けており、この素子形成領域300はこの絶縁分離層49に取囲まれている。この素子形成領域300から絶縁分離された半導体層42の基板電位取出し領域400にはシリコン

(8)

特開平11-354631

【0028】次に、二酸化シリコン基板を用いての製造の第1工程はこの工程の完了後の断面図を図7(a)に示す。Nチャネル型MOSFETを形成する第1素子形成領域500N及び第1基板電位取出し領域600Nの直下に位置する基板形成領域51cと、Pチャネル型MOSFETを形成する第2素子形成領域500P及び第2基板電位取出し領域600Pの直下に位置する基板電位取出し領域61cとを絶縁分離するために半導体層62の表面からシリコン酸化膜61aの表面までの選択ドライエッチングで分離層92を形成し、これらの分離層92の内面に熱酸化法によりシリコン酸化膜93を形成する。その後、SOI基板表面にCVD法により高抵抗のポリシリコン膜80を被覆して分離層92にポリシリコン膜80を埋め込み、化学的機械研磨(CMP)により分離層92以外のポリシリコン膜80を除去する。この時点で分離層92にはシリコン酸化膜93を介したポリシリコン膜80により絶縁分離層93Bが形成される。ポリシリコン膜80の除去として、CMPの代わりにドライエッチングやウェットエッチングを用いることも可能である。

【0029】次に、第2工程はこの工程の完了後の断面図を図7(b)に示すように、第1工程完了後の第1及び第2基板電位取出し領域600N、600Pの表面から、基板導電層610の表面又は表面層内までの選択ドレープエッチングで第1及び第2取出し溝79N、79Pを形成する。その後、SOI基板表面にCVD法により高抵抗のポリシリコン膜を被覆して取出し溝79N、79Pにポリシリコン膜を埋め込み、化学的機械研磨(CMP)により取出し溝79N、79P以外のポリシリコン膜を除去する。その後、フォトリソグラフィ法によりフロントレジスト膜94でマスクして取出し溝79N、79P内のポリシリコン膜に露をイオン注入しフロントレジストを除去後熱拡散することによりN+型の第1及び第2導電層72N、72Pが形成される。ポリシリコン膜は、その後から露をイオン注入する代わりに最初から露を含んだ、低抵抗のポリシリコン膜を被覆することも可能である。また、第1工程と同様に、ポリシリコン膜の除去として、CMPの代わりにドライエッチングやウェットエッチングを用いることも可能である。

【0030】次に、第3工程はこの工程の完了後の断面図を図7(c)に示すように、公知の技術により、Nチャネル型MOSFETを形成する第1素子形成領域50

膜80により絶縁分離層69Bが形成される。ポリシリコン膜80の除去として、CMPの代わりにドライエッチングやウェットエッチングを用いることも可能である。

【0029】次に、第2工程はこの工程の完了後の断面図を図7(b)に示すように、第1工程完了後の第1及び第2基板電位取出し領域600N、600Pの表面から基板導電層610の表面又は表面層内までの選択ドレーピングで第1及び第2基板電位取出し層79N、79Pを形成する。その後、SOI基板表面にCVD法により高抵抗のポリシリコン膜を堆積して取出し層79N、79Pにポリシリコン膜を埋込み、化学的機械研削(CMP)により取出し層79N、79P以外のポリシリコン膜を除去する。その後、フォトリソグラフィによりフォトリソストマスク94でマスクして取出し層79N、79P

P 内のポリシリコン膜に磷をイオン注入し、フォトリソレジストを除去後熱酸蝕する。ことにより N+ 型の第 1 及び第 2 導電層 72N、72P が形成される。ポリシリコン膜は、その後から磷をイオン注入する被覆に最初に磷を含んだ、低抵抗のポリシリコン膜を被覆することも可能である。また、第 1 工程と同様に、ポリシリコン膜の除去として、CMP の代わりにドライエッチングやウェットエッチングを用いることも可能である。

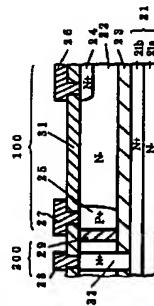
【0030】次に、第 5 工程はこの工程の完了後の断面図を図 7 (c) に示すように、公知の技術により、N チャンネル型 MOSFET を形成する第 1 素子形成領域 50、

図1、フォトリソグラフィ法及びドライエッチ法により不要部を除去して、N+型半導体領域64Nにはドレイン電極66Nを、N+型半導体領域73NとP+型半導体領域74Nにはソース電極67Nを、及び、第1導電層72N上には第1基板電位固定電極68Nを、更に、P+型半導体領域73PとN+型半導体領域74Pにはソース電極67Pを、及び、第2導電層72Pには第2基板電位固定電極68Pをオーソラ接続して形成する。図1に示すように、第1基板電位固定電極68Nはソース電極67Nと、第2基板電位固定電極68Pはソース電極67Pと同電位で接続する。尚、上述の製造方法においては、絶縁分離層69Aの形成を素子形成領域500N、500P内への各半導体領域の形成後に行う方法で説明したが、素子形成領域500N、500P内への各半導体領域の形成前に行う方法でも可能である。但し、この方法の場合、障壁め及び後の積層膜の除去が必要となり工程が増える。また、絶縁分離層69Bの形成を素子形成領域500N、500P内への各半導体領域の形成後に行う方法で説明したが、素子形成領域500N、500P内への各半導体領域の形成前に行う方法でも可能である。この方法の場合、障壁め込み後のCMPも可能となる工程短縮が可能である。

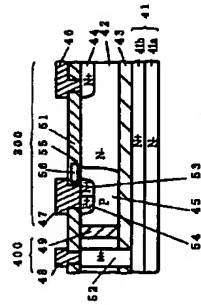
【0033】

【発明の効果】 本発明の請求項1～6によれば、SOI基板の半導体支持基板の電位を表面に設けた基板電位固定電極により電極、例えば高圧MOSFET素子有する半導体装置の場合にはソース電極、の電位に固定することによりSOI基板の表面に電極を設けず、半導体領域内での表面電界効果を利用して高圧素子の搭載が可能で、上述した課題(1)及び(2)を解決することができる。また、本発明の請求項7～11によれば、SOI基板の導電性支持基板の基板導電層を第1素子形成領域及び第1基板電位取出し領域直下の位置と第2素子形成領域及び第2基板電位取出し領域直下の位置とに絶縁分離してそれらの電位を表面に設けた第1及び第2基板電位固定電極によりそれぞれ一の電極、例えばNチャネル及びPチャネル高圧MOSFET素子を有する半導体装置の場合にはそれぞれのソース電極、の電

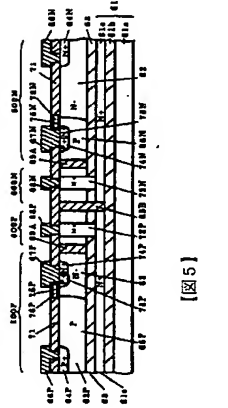
【図1】



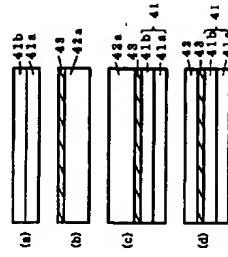
【図2】



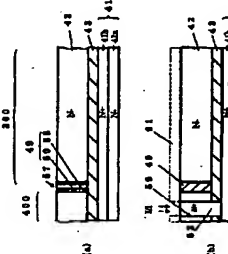
【図3】



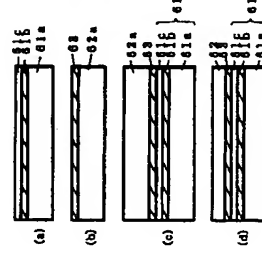
【図4】



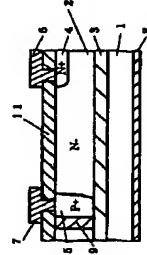
【図5】



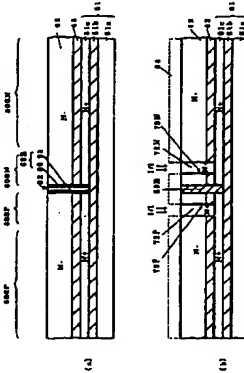
【図6】



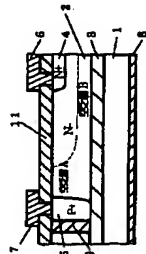
【図8】



【図7】



【図9】



【図1】

